

Modul 2-30: SIGNAL-INTEGRITY					ETIT-249
Turnus	Dauer	Studienabschnitt	LP	Präsenzanteil	Eigenstudium
Jährlich zum SS	1 Semester	2. Semester	5	35 h	115 h
1	Modulstruktur				
	Nr.	Element / Lehrveranstaltung	Typ	SWS	
	1	Signal-Integrity: Effekte beim Einsatz nano-/ mikroelektronischer Komponenten auf Leiterplatten Vorlesung	V	2	
	2	Signal-Integrity: Effekte beim Einsatz nano-/ mikroelektronischer Komponenten auf Leiterplatten Übung	Ü	1	
2	Lehrveranstaltungssprache Deutsch				
3	Lehrinhalte				
	<ol style="list-style-type: none"> 1. SI-Effekte beim Einsatz von nano-/mikroelektronischen Komponenten auf Leiterplatten (Einführung) 2. Problemstellung SI-EDA im Leiterplattenentwurf 3. Grundlagen zur SI-Analyse 4. Bauelementtechnologie und SI-Effekte (nano-/mikroelektronischen Komponenten) 5. HighSpeed-Verhalten von digitalen Bauelementen 6. Leitungen auf Leiterplatten und HighSpeed-Verhalten von digitalen Bauelementen 7. Reflexion/Crosstalk und Leitungsabschlüsse (Einflüsse der geometrischen und elektrischen Parameter auf den Spannungsverlauf) 8. Leitungsnetze auf Printed Circuit Boards 9. Modelle für digitale Bauelemente. 				
	Lernziele				
	<ul style="list-style-type: none"> • Behandlung von Signal-Integrity-Problemen auf Leiterplatten • Anforderungen an den Entwurf und die Anwendung nano-/mikroelektronischer Systeme • Grundlagen der Modellierung und Simulation von passiven SiP-Komponenten • Einsatz von Bauelementtechnologien und SI-Effekte • Einsatz moderner Feldberechnungsverfahren • Verfahren zur Package-Modellierung • Analyse von Verdrahtungsstrukturen für HighSpeed-Anwendungen • Anwendung aktueller Simulations- und Analyseverfahren. 				
	Literatur				
	<p>Madhavan Swaminathan - A. Ege Engin; Prentice Hall : Power Integrity Modeling and Design for Semiconductors and Systems; 1 edition, 2007</p> <p>Bharathi Bhat – Shibani K. Koul; John Wiley & Sons : Stripline-Like Transmission Lines for Microwave Integrated Circuits; 1989</p> <p>H. Müller; Eugen G.: Hochtechnologie-Multilayer; Leuze Verlag; 1988</p> <p>Charles S. Walker: Capacitance, Inductance and Crosstalk Analysis; 1990</p> <p>Howard W. Johnson – Martin Graham : High-Speed Digital Design; 1993</p> <p>B. Young: Digital Signal Integrity; 2001</p> <p>B. C. Wadell: Transmission Line Design Handbook</p>				
4	Kompetenzen				
	<p>Nach erfolgreichem Abschluss des Moduls kennen die Studierenden die wesentlichen Methoden zur Behandlung von Signal-Integrity-Problemen beim Einsatz von nano-/mikroelektronischen Komponenten auf Leiterplatten. Sie sind mit dem SI-gerechten Entwurf von High-Speed-Leiterplatten als Bestandteil der Entwicklungsphasen Logikentwurf, Platzierung und Entwurfsvalidierung (Simulation/Messtechnik) vertraut und können auftretende SI-Fragestellungen charakterisieren, Entwurfsvarianten beurteilen sowie Optimierungsansätze formulieren.</p>				
5	Prüfungen				
	<i>Modulprüfung: mündliche Prüfung (max. 40 Minuten) oder Klausur (max. 180 Minuten)* Stu-</i>				

	<i>dienstleistungen:</i> keine *Die genauen Prüfungsmodalitäten werden spätestens zur 2. Veranstaltung bekannt gegeben.	
6	Prüfungsformen und -leistungen <input checked="" type="checkbox"/> Modulprüfung <input type="checkbox"/> Teilleistungen	
7	Teilnahmevoraussetzungen Notwendige Kenntnisse: Grundlagen E-Technik – Grundlagen elektrische Messtechnik - Grundlagen Mikroelektronik/Schaltungstechnik	
8	Modultyp und Verwendbarkeit des Moduls Wahlpflichtmodul im Masterstudiengang Elektrotechnik und Informationstechnik, Studien- schwerpunkt Mikrosystemtechnik und Mikroelektronik	
9	Modulbeauftragte/r Prof. Dr.-Ing. Stephan Frei Lehrbeauftragte/r Dr.-Ing. Werner John	Zuständige Fakultät Fakultät für Elektrotechnik und Informationstechnik